



# BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 09 DEC. 2003

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

SIEGE  
26 bis, rue de Saint Petersburg  
75800 PARIS cedex 08  
Téléphone : 33 (0)1 53 04 53 04  
Télécopie : 33 (0)1 53 04 45 23  
[www.inpi.fr](http://www.inpi.fr)

**THIS PAGE BLANK (USPTO)**



26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08  
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

# BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle-Livre VI



## REQUÊTE EN DÉLIVRANCE 1/2

Réservé à  
L'INPI

Cet imprimé est à remplir lisiblement à l'encre noire

## REMISE DES PIÈCES

DATE **13 DEC 2002**LIEU **38 INPI GRENOBLE**N° D'ENREGISTREMENT **0215837**

NATIONAL ATTRIBUÉ PAR L'INPI

DATE DE DÉPÔT ATTRIBUÉE **13 DEC. 2002**  
PAR L'INPI

Vos références pour ce dossier

(facultatif) B5768

**1** NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA  
CORRESPONDANCE DOIT ÊTRE ADRESSÉE

**Cabinet Michel de Beaumont**  
**1 rue Champollion**  
**38000 GRENOBLE**

Confirmation d'un dépôt par télécopie ☐ N° attribué par l'INPI à la télécopie

**2 NATURE DE LA DEMANDE**

Cochez l'une des 4 cases suivantes

Demande de Brevet ☒Demande de certificat d'utilité ☐Demande divisionnaire ☐

*Demande de brevet initiale*  
*ou demande de certificat d'utilité initiale*

N°

Date / /

Date / /

Transformation d'une demande de

brevet européen

*Demande de brevet initiale*☐

N°

Date / /

**3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)**

CONNEXIONS ENTERRÉES DANS UN SUBSTRAT DE CIRCUIT INTÉGRÉ

**4 DÉCLARATION DE PRIORITÉ  
OU REQUÊTE DU BÉNÉFICE DE  
LA DATE DE DÉPÔT D'UNE  
DEMANDE ANTÉRIEURE  
FRANÇAISE**

Pays ou organisation

Date

N°

Pays ou organisation

Date / /

N°

Pays ou organisation

Date / /

N°

☐ S'il y a d'autres priorités, cochez la case et utilisez l'imprimé "Suite"**5 DEMANDEUR**☐ S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé "Suite"

Nom ou dénomination sociale

STMicroelectronics SA

Prénoms

Forme juridique

Société anonyme

N° SIREN

Code APE-NAF

ADRESSE

Rue

29, Boulevard Romain Rolland

Code postal et ville

92120

MONTROUGE

Pays

FRANCE

Nationalité

Française

N° de téléphone (facultatif)

N° de télécopie (facultatif)

Adresse électronique (facultatif)

Réservé à  
 L'INPI

REMISE DES PIÈCES

DATE

13 DEC 2002

LIEU

38 INPI GRENOBLE

N° D'ENREGISTREMENT

0215837

NATIONAL ATTRIBUÉ PAR L'INPI

Vos références pour ce dossier :

(facultatif) B5768

**6 MANDATAIRE**

Nom

Prénom

Cabinet ou Société

Cabinet Michel de Beaumont

N° de pouvoir permanent et/ou  
de lien contractuel

ADRESSE

Rue

1 Rue Champollion

Code postal et ville

38000

GRENOBLE

N° de téléphone (facultatif)

04.76.51.84.51

N° de télécopie (facultatif)

04.76.44.62.54

Adresse électronique (facultatif)

cab.beaumont@wanadoo.fr

**7 INVENTEUR (S)**

Les inventeurs sont les demandeurs

☐ Oui☒ Non

Dans ce cas fournir une désignation d'inventeur (s) séparée

**8 RAPPORT DE RECHERCHE**

Uniquement pour une demande de brevet (y compris division et transformation)

Établissement immédiat

☒

ou établissement différé

☐

Paiement échelonné de la redevance

Paiement en trois versements, uniquement pour les personnes physiques

☐ Oui☒ Non**9 RÉDUCTION DU TAUX DES  
REDEVANCES**

Uniquement pour les personnes physiques

☐ Requête pour la première fois pour cette invention (joindre un avis de non-imposition)☐ Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :Si vous avez utilisé l'imprimé "Suite", indiquez  
le nombre de pages jointes**10 SIGNATURE DU DEMANDEUR  
OU DU MANDATAIRE**  
(Nom et qualité du signataire)Michel de Beaumont  
Mandataire n° 92-1016VISA DE LA PREFECTURE  
OU DE L'INPI

C - D.R.GR.

## CONNEXIONS ENTERRÉES DANS UN SUBSTRAT DE CIRCUIT INTÉGRÉ

La présente invention concerne le domaine des circuits intégrés.

La présente invention concerne plus particulièrement les circuits intégrés comportant des couches enterrées dans le substrat du circuit. De telles couches enterrées sont utilisées pour diminuer la résistance d'accès à une électrode d'un transistor quand l'accès à cette électrode se fait par une portion de substrat.

Un exemple de structure comportant une couche enterrée permettant de réduire la résistance d'accès du collecteur d'un transistor bipolaire est décrit dans la demande de brevet français n° 0212278 (dossier B5697) de la demanderesse.

Un objet de la présente invention est de prévoir un circuit intégré ayant une structure telle que la résistance d'accès à des couches enterrées dans le substrat soit très faible.

Un autre objet de la présente invention est de prévoir un circuit intégré comportant un réseau d'interconnexions enterrées pour relier entre elles différentes zones semiconductrices formées dans un substrat et pour relier des zones du substrat à des éléments accessibles par le réseau d'interconnexions réalisé au-dessus des composants du circuit intégré.

Pour atteindre ces objets, la présente invention prévoit un procédé de fabrication de connexions enterrées dans un circuit intégré comprenant les étapes suivantes : prévoir une structure composée d'une première tranche de support collée en face arrière d'une tranche mince semiconductrice, un ou plusieurs éléments du circuit intégré étant éventuellement réalisés dans et au-dessus de la tranche mince ; coller une deuxième tranche de support sur la structure du côté de la face avant de la tranche mince ; éliminer la première tranche de support ; former des connexions entre différentes zones de la face arrière de la tranche mince ; coller une troisième tranche de support sur les connexions ; et éliminer la deuxième tranche de support.

Selon une variante du procédé précédemment décrit, la tranche mince et la première tranche de support sont collées par l'intermédiaire d'une couche isolante.

Selon une variante de mise en oeuvre du procédé précédemment décrit, l'étape de formation des connexions comprend les étapes suivantes : graver des ouvertures dans une couche isolante formée sur la face arrière de la tranche mince ; et remplir les ouvertures d'un matériau conducteur.

Selon une variante de mise en oeuvre du procédé précédemment décrit, le procédé comprend en outre à la suite de l'étape de gravure d'ouvertures dans la couche isolante, une étape de gravure de zones d'épaisseur réduite dans la couche isolante, les zones d'épaisseur réduite étant ensuite remplies comme lesdites ouvertures d'un matériau conducteur.

Selon une variante de mise en oeuvre du procédé précédemment décrit, le remplissage des ouvertures d'un matériau conducteur consiste à réaliser les étapes suivantes : déposer une couche de métal sur la structure du côté de la couche isolante et des ouvertures ; effectuer un recuit afin de former une couche de siliciure au fond des ouvertures.

Selon une variante de mise en oeuvre du procédé précédemment décrit, le procédé comprend à la suite de l'étape de remplissage des ouvertures et éventuellement des zones d'épais-

seur réduite, les étapes suivantes : réaliser un polissage mécano-chimique du matériau conducteur de remplissage jusqu'à découvrir la couche isolante de façon à obtenir une surface plane ; recouvrir ladite surface plane d'une seconde couche isolante ; et coller la troisième tranche de support sur la  
5 seconde couche isolante.

Selon une variante de mise en oeuvre du procédé précédemment décrit, le procédé comprend préalablement au collage de la deuxième tranche de support, une étape de recouvrement de  
10 la structure d'une couche d'accrochage.

La présente invention prévoit un circuit intégré comprenant des composants réalisés dans et au-dessus d'une tranche mince semiconductrice fixée sur une tranche de support placée en face arrière de la tranche mince, la face arrière de la tranche  
15 mince étant recouverte d'une première couche isolante comportant des ouvertures contenant un matériau conducteur en contact avec certaines zones de la face arrière de la tranche mince.

Selon une variante de réalisation du circuit intégré précédemment décrit, certaines zones du métal conducteur sont en  
20 contact avec des puits conducteurs traversant la tranche mince.

Selon une variante de réalisation du circuit intégré précédemment décrit, lesdites zones conductrices et éventuellement lesdits puits conducteurs sont en siliciure.

Selon une variante de réalisation du circuit intégré  
25 précédemment décrit, la couche isolante comprend des zones d'épaisseur réduites contenant un matériau conducteur formant des connexions entre les ouvertures.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans  
30 la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1 est une vue en coupe d'un circuit intégré réalisé selon la présente invention ;

les figures 2 à 8 sont des vues en coupe illustrant les structures obtenues après des étapes successives d'un procédé de fabrication de connexions selon la présente invention ;

les figures 9 à 11 sont des vues en coupe illustrant  
5 les structures obtenues après certaines étapes d'une variante de mise en oeuvre du procédé de la présente invention ; et

les figures 12 et 13 sont des vues en coupe illustrant les structures obtenues après certaines étapes d'une autre variante de mise en oeuvre du procédé de la présente invention.

10 La figure 1 est une vue en coupe d'une portion de circuit intégré dans lequel sont réalisées des interconnexions enterrées selon la présente invention. Les composants du circuit intégré sont réalisés dans et au-dessus d'une tranche semi-conductrice amincie T1 d'une épaisseur de l'ordre de quelques  
15  $\mu\text{m}$  à quelques dizaines de  $\mu\text{m}$ . La face inférieure de la tranche T1 est recouverte d'une couche isolante D1. Une tranche T4, par exemple du silicium, est collée sous la couche isolante D1, par l'intermédiaire d'une couche isolante D4, par exemple une couche d'oxyde TEOS. La tranche T4 sert essentiellement de support  
20 rigide pour la tranche amincie T1.

Des zones d'isolation peu profondes, STI, sont réalisées dans la surface supérieure de la tranche T1. La structure représentée comprend six zones d'isolation peu profondes STI 1 à 6, respectivement de gauche à droite. Des zones  
25 d'isolation profondes, DTI, s'enfonçant jusqu'à la face supérieure de la couche isolante D1 sont formées sous certaines zones d'isolation peu profondes STI choisies, les zones 1, 3, 4, 5 et 6 dans cet exemple. Les zones d'isolation profondes DTI délimitent des caissons de substrat dans lesquels sont réalisés  
30 les composants du circuit intégré. Dans l'exemple représenté, quatre caissons 10, 11, 12, 13 respectivement de gauche à droite sont délimités. Une couche isolante 20 recouvre la tranche mince T1 et les composants réalisés sur cette dernière.

Un transistor bipolaire 30 est réalisé dans le caisson  
35 10 initialement dopé P. La zone d'isolation peu profonde 2



délimite deux régions. Dans la région de gauche est formée une zone peu profonde dopée N constituant la base 31 du transistor 30 dans laquelle est formée une zone très peu profonde dopée P constituant l'émetteur 32 du transistor 30. La base et l'émetteur sont accessibles par des contacts 33 et 34 réalisés dans la couche isolante 20. Le reste du caisson dopé P constitue le collecteur du transistor 30. Un contact 35 est placé au-dessus de la région de droite du caisson 10 afin d'accéder au collecteur.

10           Un puits collecteur 37 traverse la tranche mince T1 au-dessous du contact 35. Une zone fortement dopée P 38 est réalisée dans le collecteur à l'aplomb de l'émetteur. Le puits collecteur 37 et la zone 38 permettent de diminuer la résistance d'accès du collecteur.

15           Selon un aspect de la présente invention, une région métallique 36 est prévue sous la surface inférieure du caisson 10. Cette région métallique 36 est réalisée dans une ouverture de la couche isolante D1. Cette région métallique 36 relie le puits collecteur 37 et la zone fortement dopée P 38 afin de  
20 diminuer fortement la résistance d'accès du collecteur du transistor 30.

          Un transistor NMOS 40 est formé dans le caisson 11 dopé P. Des zones de source/drain 41 et 42 dopées N sont accessibles par des contacts 43 et 44 traversant la couche  
25 isolante 20. L'oxyde mince, la grille et les espaceurs du transistor 40 sont formés au-dessus de la tranche T1 entre les zones de source/drain 41 et 42.

          Selon un aspect de la présente invention, le caisson 11 du transistor 40 est relié à une borne d'alimentation par  
30 l'intermédiaire d'une région métallique 45 réalisée dans la couche isolante D1. Une extrémité de la région métallique 45 est en contact avec la surface inférieure du caisson 11. L'autre extrémité de la région métallique 45 est en contact avec la surface inférieure du caisson 12. Un puits conducteur 46  
35 traversant la tranche mince T1 est réalisé dans le caisson 12.

Un contact 47 permet de relier le puits conducteur 46 à une borne d'alimentation par l'intermédiaire du réseau d'interconnexions "supérieur", non représenté, réalisé au-dessus des composants du circuit intégré.

5 Dans l'exemple de structure représentée en figure 1, les caissons 11 et 12 sont l'un à côté de l'autre. Or il n'est pas toujours possible en pratique de placer les caissons que l'on souhaite relier les uns à côté des autres. Dans ce cas, des zones de contact sont formées dans des ouvertures de la couche  
10 isolante D1 sous les caissons et les zones de connexion reliant ces zones de contact sont formées dans une partie seulement de l'épaisseur de la couche isolante D1, du côté de la couche isolante D4. Bien que, dans cet exemple, une grande ouverture formée sous les deux caissons eut été suffisante, on a  
15 représenté à des fins d'illustration, une zone d'épaisseur réduite 48 sous la zone d'isolation profonde séparant les caissons 11 et 12.

Un transistor PMOS 50 est formé dans le caisson 13 dopé N. Des zones de source/drain 51 et 52 dopées P sont  
20 accessibles par des contacts 53 et 54. L'oxyde mince, la grille et les espaceurs du transistor 50 sont formés au-dessus de la tranche T1 entre les zones de source/drain 51 et 52. Selon l'invention, une région métallique 55 réalisée dans la couche isolante D1 est en contact avec la surface inférieure de la zone  
25 active 13. La région métallique 55 permet de relier le caisson 13 à une source d'alimentation, non représentée, par l'intermédiaire comme précédemment d'un plot conducteur traversant la tranche T1 et du réseau d'interconnexions "supérieur".

La structure de circuit intégré de la présente  
30 invention comportant des zones conductrices enterrées isolées les unes des autres permet de réaliser différentes formes de connexions. Il est ainsi possible de réaliser des connexions "locales" en formant des régions métalliques sous certaines portions de substrat afin de réduire leur résistance. Il est de  
35 plus possible de réaliser des connexions "longues" entre

différentes zones de substrat en définissant des zones de moindre épaisseur dans la couche isolante D1.

Un avantage de la structure de circuit intégré de la présente invention est qu'il est possible de prévoir des connexions locales et des connexions longues enterrées.

De plus, une telle structure permet de relier n'importe quelle zone semiconductrice formée du côté de la face inférieure de la tranche T1 à une électrode d'un transistor ou de tout autre composant du circuit intégré par l'intermédiaire d'un puits conducteur traversant la couche mince T1 et du réseau d'interconnexion réalisé au-dessus des composants. En outre, une telle structure permet de relier deux électrodes par l'intermédiaire de deux puits conducteurs et d'une connexion enterrée.

On pourra par exemple prévoir d'alimenter tout un caisson dans lequel sont réalisés plusieurs composants ou plusieurs caissons individuels en utilisant un nombre restreint de puits conducteurs reliés à un ensemble de connexions formées dans la couche isolante et reliés à une source de tension d'alimentation.

De plus, on pourra réaliser différentes sortes de puits conducteurs traversant la tranche mince T1 pour relier une zone conductrice enterrée et le réseau de connexion supérieur (au-dessus des composants du circuit intégré). On pourra par exemple réaliser une ouverture à paroi isolée remplie d'un matériau conducteur tel qu'un métal ou du silicium polycristallin fortement dopé.

Les figures 2 à 8 illustrent différentes étapes d'un procédé de réalisation de connexions enterrées selon la présente invention.

La figure 2 représente une structure initiale de circuit intégré comportant deux tranches semiconductrices, une tranche très mince T1 d'une épaisseur de quelques  $\mu\text{m}$  et une tranche T2 plus épaisse servant de support rigide. Les tranches T1 et T2 sont séparées par une couche isolante D1. Cette structure peut être obtenue selon un procédé classique de

fabrication de substrat sur isolant, couramment appelé SOI, de l'anglais silicon on insulator.

Les composants du circuit intégré sont réalisés dans et au-dessus de la tranche T1. Comme précédemment décrit en relation à la figure 1, la structure représentée en figure 2 5 comporte un transistor NMOS 40 dont les source et drain 41 et 42 réalisés dans un caisson 11 séparé d'un caisson 12 par l'intermédiaire d'une zone d'isolation peu profonde 4 sous laquelle est réalisée une zone d'isolation profonde DTI. La 10 tranche mince T1 et le transistor 40 sont recouverts d'une couche isolante 20. Des contacts 43 et 44 permettent d'accéder aux drain et source 41 et 42. Un contact 47 permet d'accéder à une extrémité d'un puits conducteur 46 traversant la tranche T1, l'autre extrémité du puits conducteur 46 étant en contact avec 15 la couche isolante D1.

Lors d'une première étape illustrée en figure 3, une tranche support T3 est collée sur la couche isolante 20 selon un procédé de collage moléculaire classique, par exemple par l'intermédiaire d'une couche d'accrochage D2 formée au-dessus de 20 la couche isolante 20.

Lors d'une deuxième étape illustrée en figure 4, on réalise une gravure de la tranche T2 de façon sélective par rapport à la couche isolante D1. La tranche T2 est complètement éliminée.

25 Le collage de la tranche T3 effectué préalablement à la gravure de la tranche T2 sert à assurer que la structure soit suffisamment robuste pour réaliser sans problèmes des opérations dans la partie inférieure de la structure.

Les étapes suivantes illustrées en figures 5, 6 et 7 30 ont pour but de réaliser des connexions métalliques entre différentes zones de contact définies sur la face inférieure de la tranche T1. Dans l'exemple de la structure représentée en figures 2 à 8, on souhaite relier le caisson 11 à un puits conducteur 46 par l'intermédiaire d'une connexion enterrée 35 réalisée sous la tranche T1.

Lors d'une troisième étape illustrée en figure 5, on grave des ouvertures dans la couche isolante D1 afin de découvrir des zones de contact sur la face inférieure de la tranche T1. Dans cet exemple, des ouvertures Op1 et Op2 sont  
5 formées respectivement sous les caissons 11 et 12.

Lors d'une quatrième étape illustrée en figure 6, on réduit l'épaisseur de la couche isolante D1 aux endroits où l'on souhaite former une connexion entre plusieurs ouvertures préalablement formées. Dans cet exemple, les ouvertures Op1 et Op2  
10 sont reliées par une zone d'épaisseur réduite 48.

Lors d'une cinquième étape illustrée en figure 7, on remplit les ouvertures, Op1 et Op2, et les zones d'épaisseur réduites, t, d'un matériau conducteur 60 tel que du cuivre. De façon classique, on dépose une couche de cuivre sur la couche  
15 isolante D1 et on réalise un polissage mécano-chimique de la couche de cuivre jusqu'à découvrir la couche isolante D1. Un tel polissage mécano-chimique permet d'obtenir une surface inférieure plane.

Le procédé décrit en relation aux figures 6 et 7 correspond au procédé classique de réalisation d'interconnexions en cuivre. Cependant, on pourra prévoir d'utiliser d'autres procédés de réalisation d'interconnexions tels que celui classiquement utilisé pour réaliser des connexions en aluminium.

De plus, on pourra éventuellement prévoir de réaliser  
25 plusieurs niveaux d'interconnexions selon des procédés classiques afin d'augmenter encore le nombre de connexions.

Lors d'une sixième étape illustrée en figure 8, on recouvre la surface inférieure plane précédemment polie d'une couche isolante D3. On colle ensuite une tranche support T4 sur  
30 la couche isolante D3. On choisira de préférence une couche isolante et une tranche support pouvant être collées l'une à l'autre sans autres intermédiaires.

On réalise ensuite une gravure de la tranche T3 de façon sélective par rapport à la couche d'accrochage D2 afin  
35 d'éliminer complètement la tranche T3. On supprime ensuite la

couche d'accrochage D2 selon un procédé de gravure sélectif de la couche d'accrochage D2 par rapport à la couche isolante 20 ou en effectuant un polissage mécano-chimique.

Les tranches T3 et T4 ont pour fonction d'assurer que  
5 la structure ait une rigidité et une robustesse suffisante. D'autres matériaux susceptibles d'être collés aisément sur une couche isolante peuvent être utilisés pour remplir cette fonction.

Une variante de mise en oeuvre du procédé de la  
10 présente invention est décrite en relation avec les figures 9 à 11.

La figure 9 représente une structure initiale comportant, comme pour la structure décrite en relation à la figure 2, une tranche mince T1 séparée d'une tranche de support T2 par une  
15 couche isolante D1. Une couche isolante 20 recouvre la tranche T1. Un transistor bipolaire 30 identique à celui décrit en relation à la figure 1 est réalisé dans un caisson 10 de la tranche T1. Le collecteur du transistor 30 comprend comme précédemment une zone fortement dopée P 38 formée à l'aplomb de  
20 l'émetteur 32. Un contact 35 permet d'accéder à un puits collecteur 37 traversant le caisson 10. Le puits collecteur 37 est dans cet exemple une zone de substrat fortement dopée ou du silicium polycristallin formé dans une ouverture à parois isolantes.

25 La figure 10 illustre la structure obtenue à l'issue des première, deuxième et troisième étapes du procédé de la présente invention précédemment décrites. Une ouverture Op3 de la couche isolante D1 est formée sous le caisson 10 du transistor 30.

30 La figure 11 illustre la structure obtenue à l'issue d'une étape de formation de siliciure réalisée à partir de la structure décrite en figure 10. Pour ce faire, on procède dans une première phase à un dépôt de métal tel que du nickel, du cobalt, du tungstène ou encore du titane du côté de la couche  
35 isolante D1. Dans une deuxième phase, on effectue un recuit afin

de former une couche de siliciure 70 au fond de l'ouverture Op3 formée précédemment dans la couche isolante D1. Puis dans une dernière phase, on élimine le métal non transformé en siliciure.

On procède ensuite à un polissage mécano-chimique des portions restantes de la couche isolante D1 afin d'obtenir une surface plane. On réalise ensuite la sixième étape du procédé de la présente invention qui consiste à recouvrir la surface polie d'une couche d'accrochage isolante D3 et à coller sur cette dernière une tranche de support T4, la tranche T3 et la couche d'accrochage D2 étant ensuite éliminées.

Une autre variante de mise en oeuvre du procédé de la présente invention est décrite en relation avec les figures 12 et 13.

La figure 12 représente une autre structure initiale d'un transistor bipolaire identique à celui décrit en figure 9 excepté que le puits collecteur 37 est remplacé par un pilier isolant 71 traversant le caisson 10, le pilier étant réalisé sous le contact 35 permettant d'accéder au collecteur du transistor. Le pilier 71 est constitué d'un matériau isolant qui peut être gravé de préférence selon le même procédé que celui permettant de graver la couche isolante D1.

A partir de la structure initiale représentée en figure 12, on effectue les première, deuxième et troisième étapes du procédé de la présente invention précédemment décrites. Une ouverture Op3 est réalisée dans la couche isolante D1 sous le collecteur du transistor. La gravure de la couche isolante D1 est prévue suffisamment longue de façon à graver totalement le pilier isolant 71.

La figure 13 illustre la structure obtenue à l'issue d'une étape subséquente de formation de siliciure réalisée selon un procédé semblable à celui décrit précédemment. Le pilier isolant 71 est intégralement remplacé par un plot 72 en siliciure.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme

de l'art. En particulier, on pourra prévoir de réaliser le procédé de la présente invention avant de réaliser les éléments du circuit intégré dans la tranche T1 ou au contraire à la toute fin du procédé de fabrication des composants du circuit intégré, ou, de façon générale, après n'importe quelle étape du procédé de fabrication des composants du circuit intégré.

De façon générale, le procédé de la présente invention s'applique à toute structure comportant une tranche de support initiale collée en face arrière d'une tranche mince semi-conductrice. La tranche de support initiale peut être du verre ou tout autre matériau. Le procédé prévoit alors de coller une tranche de support "relais" du côté de la face avant de la tranche mince et d'éliminer la tranche de support initiale. On forme ensuite un ensemble de connexions "locales" et/ou "longues" sur la face arrière de la tranche mince selon un procédé classique de réalisation d'interconnexions. Puis on recouvre le réseau d'interconnexions d'une tranche de support finale et on élimine la tranche de support relais.



REVENDECATIONS

1. Procédé de fabrication de connexions enterrées dans un circuit intégré comprenant les étapes suivantes :

- prévoir une structure composée d'une première tranche de support (T2) collée en face arrière d'une tranche mince (T1) semiconductrice, un ou plusieurs éléments du circuit intégré (30, 40, 50) étant éventuellement réalisés dans et au-dessus de la tranche mince ;
- coller une deuxième tranche de support (T3) sur la structure du côté de la face avant de la tranche mince ;
- 10 - éliminer la première tranche de support ;
- former des connexions entre différentes zones de la face arrière de la tranche mince ;
- coller une troisième tranche de support (T4) sur les connexions ; et
- 15 - éliminer la deuxième tranche de support.

2. Procédé selon la revendication 1, dans lequel la tranche mince (T1) et la première tranche de support (T2) sont collées par l'intermédiaire d'une couche isolante (D1).

3. Procédé selon la revendication 1 ou 2, dans lequel l'étape de formation des connexions comprend les étapes suivantes :

- graver des ouvertures (Op1, Op2, Op3) dans une couche isolante formée sur la face arrière de la tranche mince (T1) ; et
- 25 - remplir les ouvertures d'un matériau conducteur (60, 70).

4. Procédé selon la revendication 3, comprenant en outre à la suite de l'étape de gravure d'ouvertures (Op1, Op2) dans la couche isolante (D1), une étape de gravure de zones d'épaisseur réduite (t) dans la couche isolante, les zones d'épaisseur réduite étant ensuite remplies comme lesdites ouvertures d'un matériau conducteur (60).

5. Procédé selon la revendication 3, dans lequel le remplissage des ouvertures (Op3) d'un matériau conducteur consiste à réaliser les étapes suivantes :

- déposer une couche de métal sur la structure du côté de la couche isolante (D1) et des ouvertures ;
- effectuer un recuit afin de former une couche de siliciure (70) au fond des ouvertures.

6. Procédé selon la revendication 3 ou 4, comprenant à la suite de l'étape de remplissage des ouvertures (Op1, Op2, Op3) et éventuellement des zones d'épaisseur réduite (t), les étapes suivantes :

- réaliser un polissage mécano-chimique du matériau conducteur (60, 70) de remplissage jusqu'à découvrir la couche isolante (D1) de façon à obtenir une surface plane ;
- recouvrir ladite surface plane d'une seconde couche isolante (D4) ; et
- coller la troisième tranche de support (T4) sur la seconde couche isolante.

7. Procédé selon la revendication 1 comprenant préalablement au collage de la deuxième tranche de support (T3), une étape de recouvrement de la structure d'une couche d'accrochage (D2).

8. Circuit intégré comprenant des composants réalisés dans et au-dessus d'une tranche mince (T1) semiconductrice fixée sur une tranche de support (T4) placée en face arrière de la tranche mince, caractérisé en ce que la face arrière de la tranche mince est recouverte d'une première couche isolante comportant des ouvertures contenant un matériau conducteur en contact avec certaines zones de la face arrière de la tranche mince (T1).

9. Circuit intégré selon la revendication 8, dans lequel certaines zones du métal conducteur (45, 36, 70) sont en contact avec des puits conducteurs (37, 46, 72) traversant la tranche mince (T1).

10. Circuit intégré selon la revendication 8 ou 9, dans lequel lesdites zones conductrices (70) et éventuellement lesdits puits conducteurs (72) sont en siliciure.

5 11. Circuit intégré selon la revendication 8, dans lequel la couche isolante (D1) comprend des zones d'épaisseur réduites contenant un matériau conducteur formant des connexions entre les ouvertures (Op1, Op2).

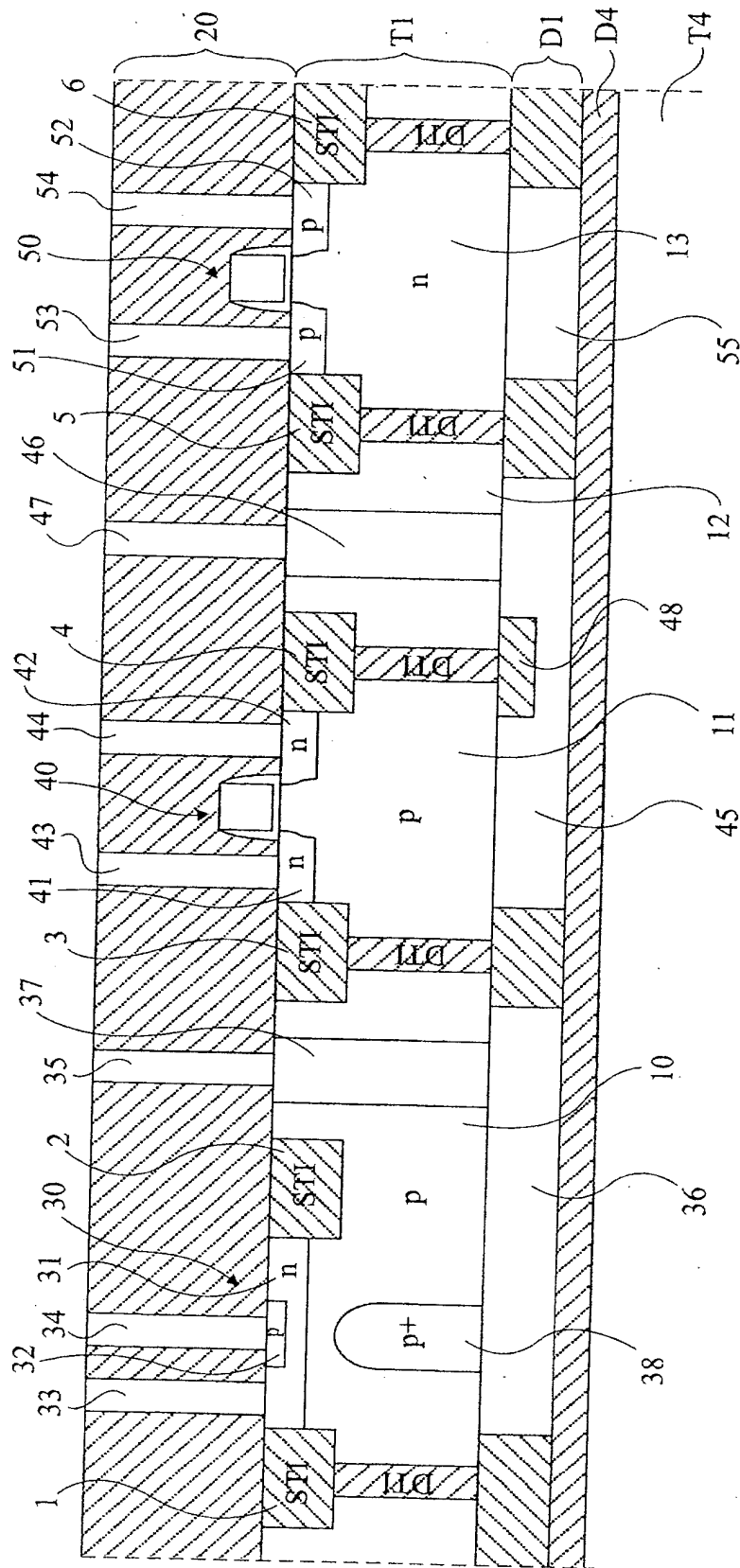


Fig 1

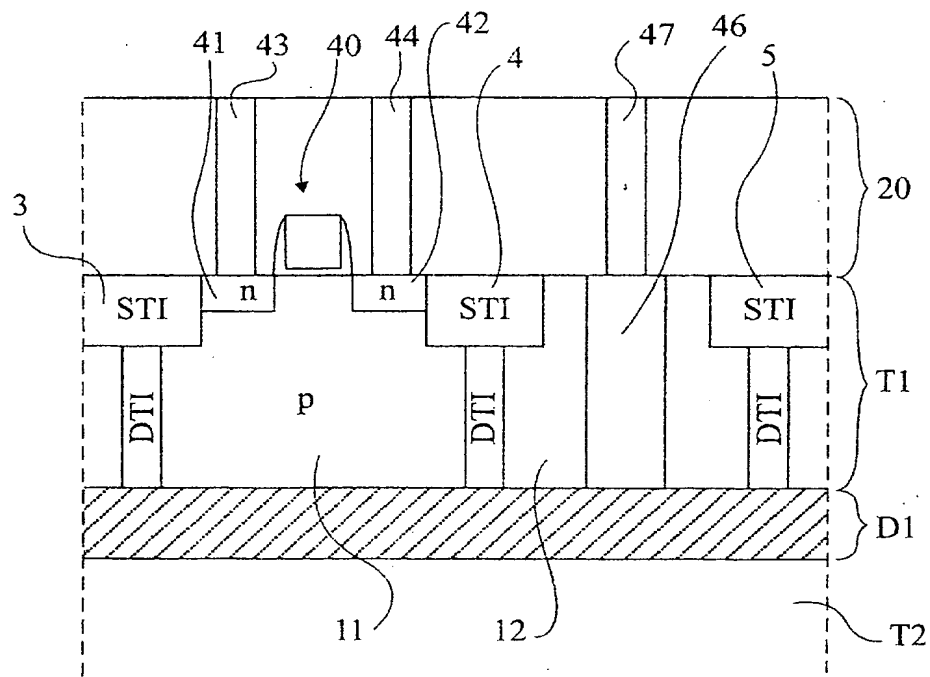


Fig 2

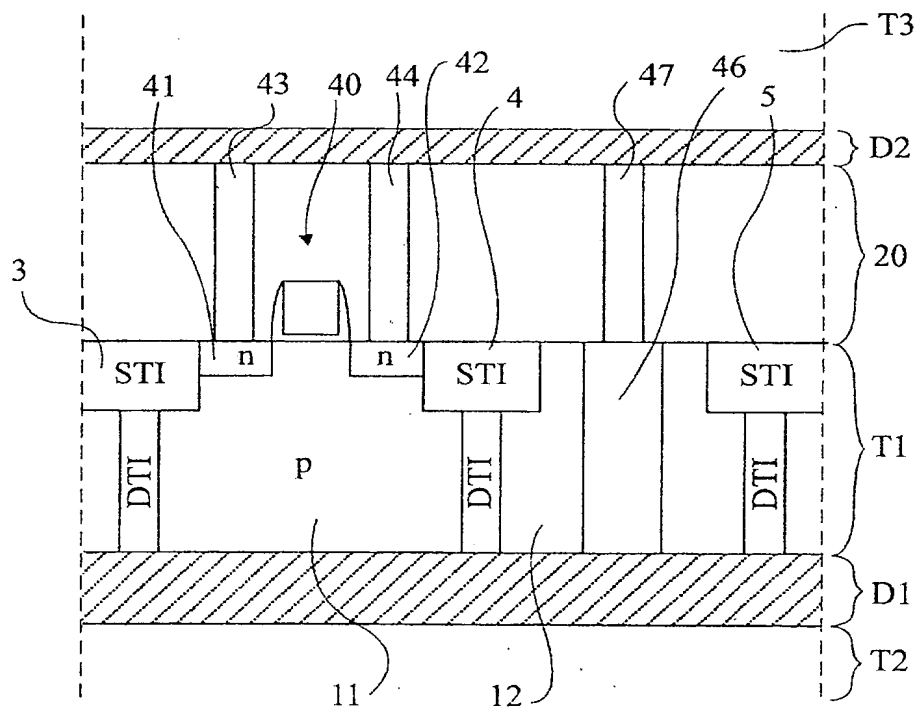
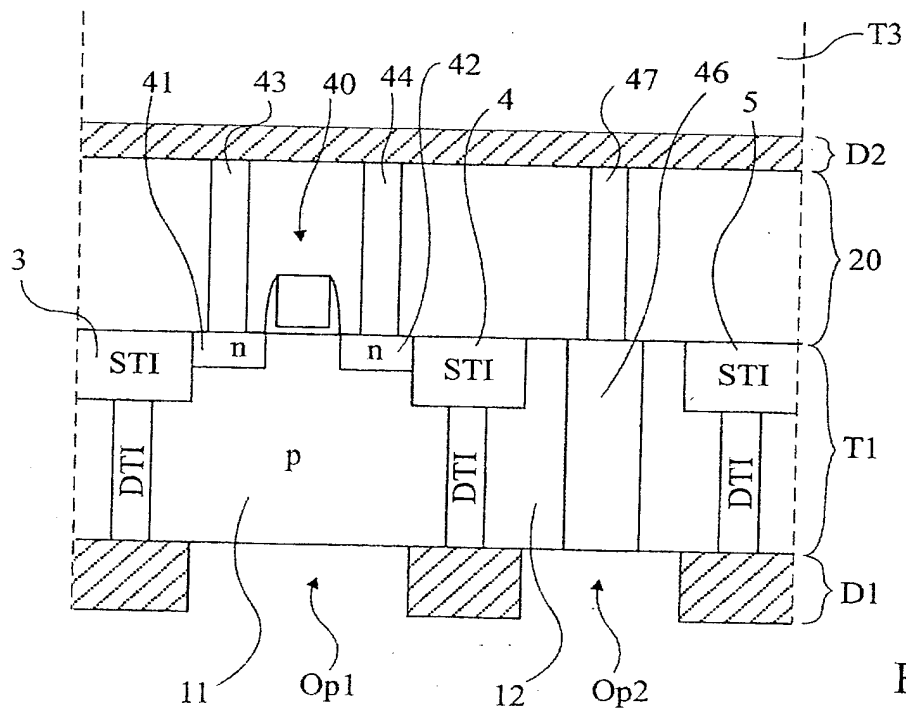
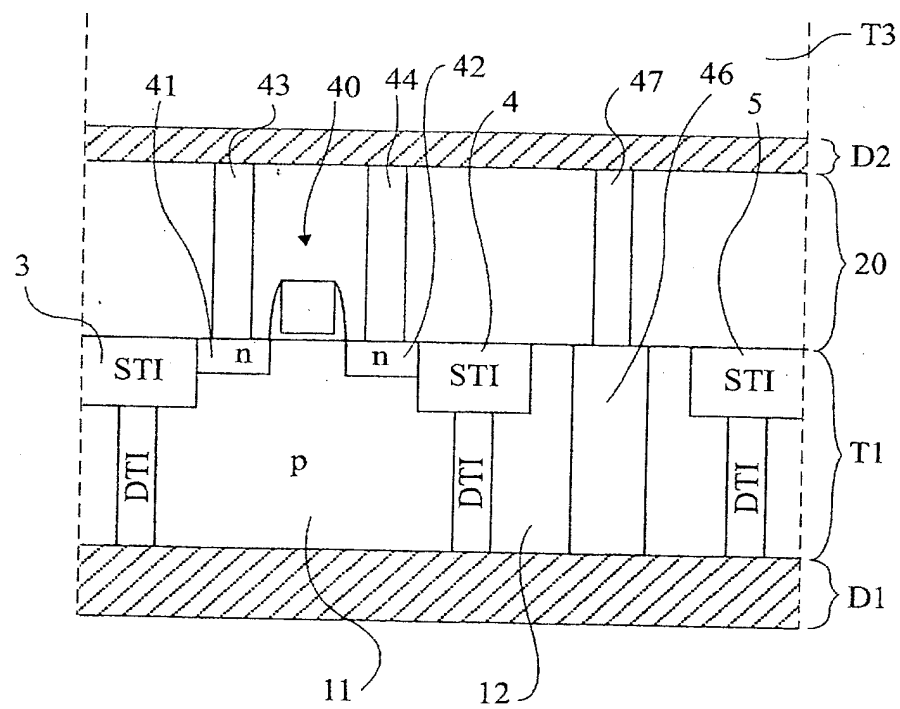


Fig 3



4/7

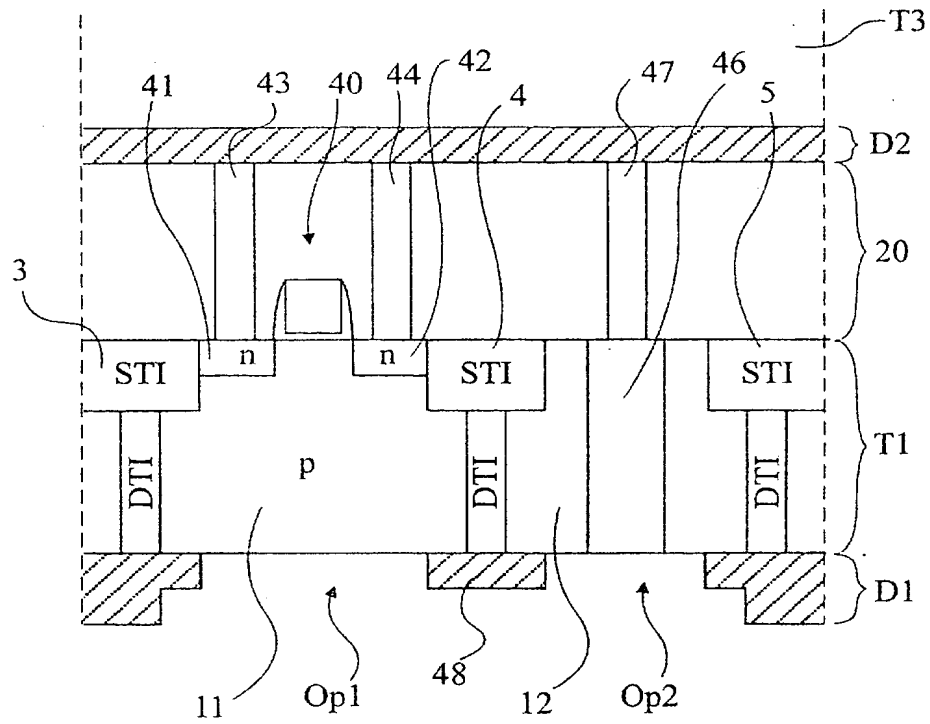


Fig 6

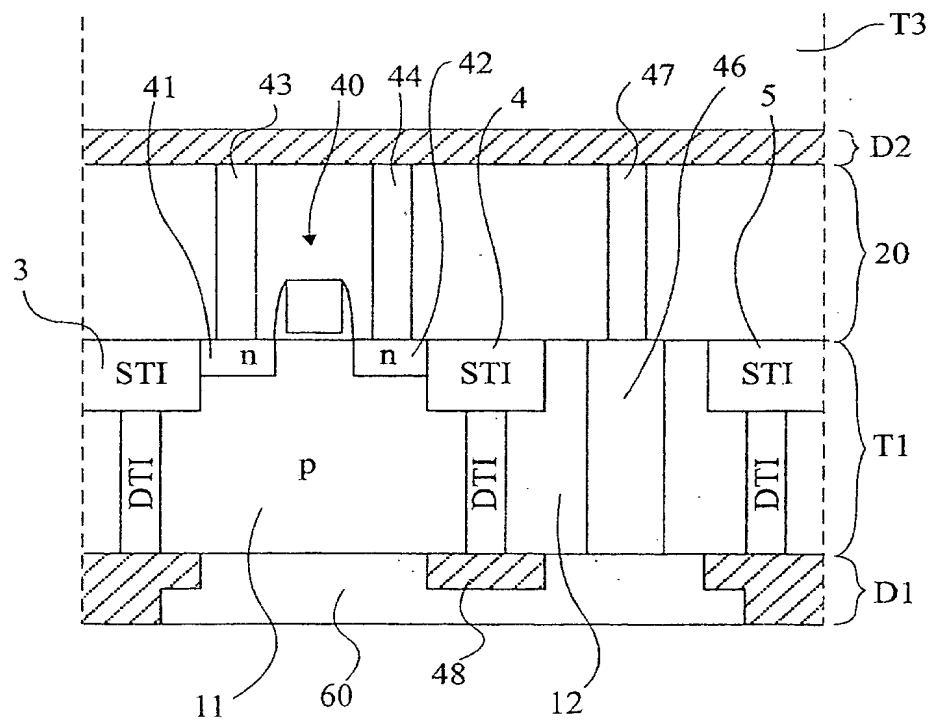


Fig 7

5/7

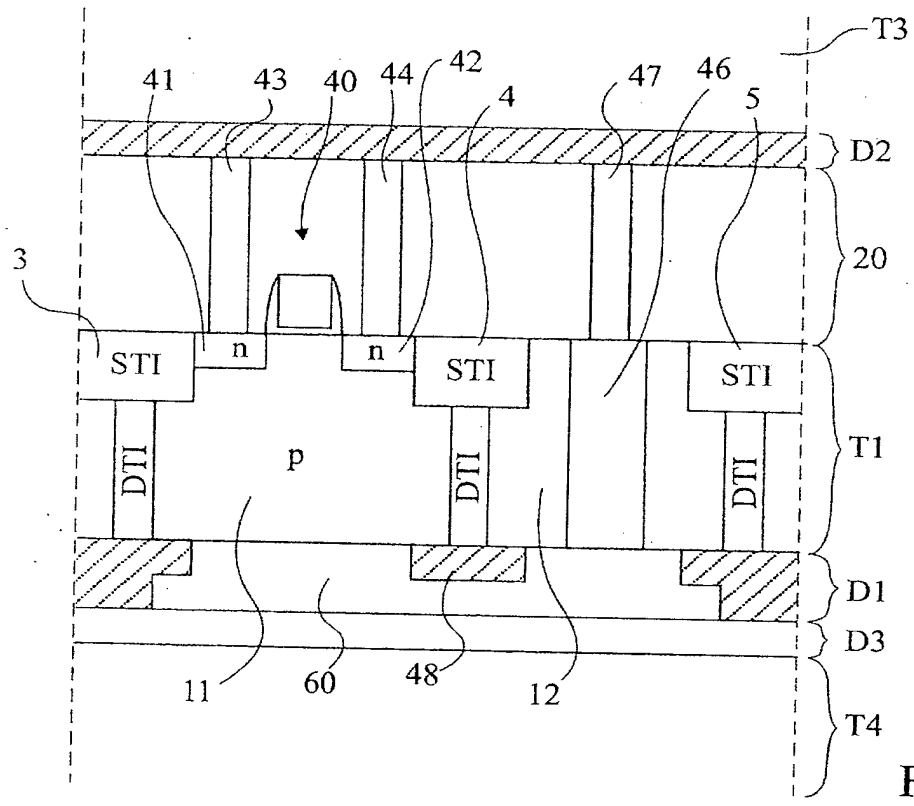


Fig 8

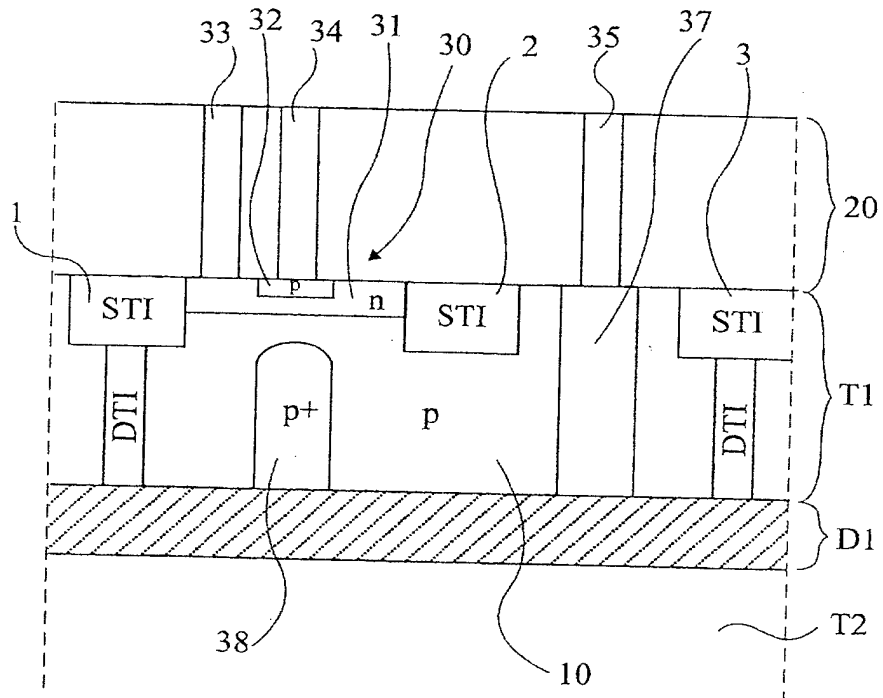


Fig 9



6/7

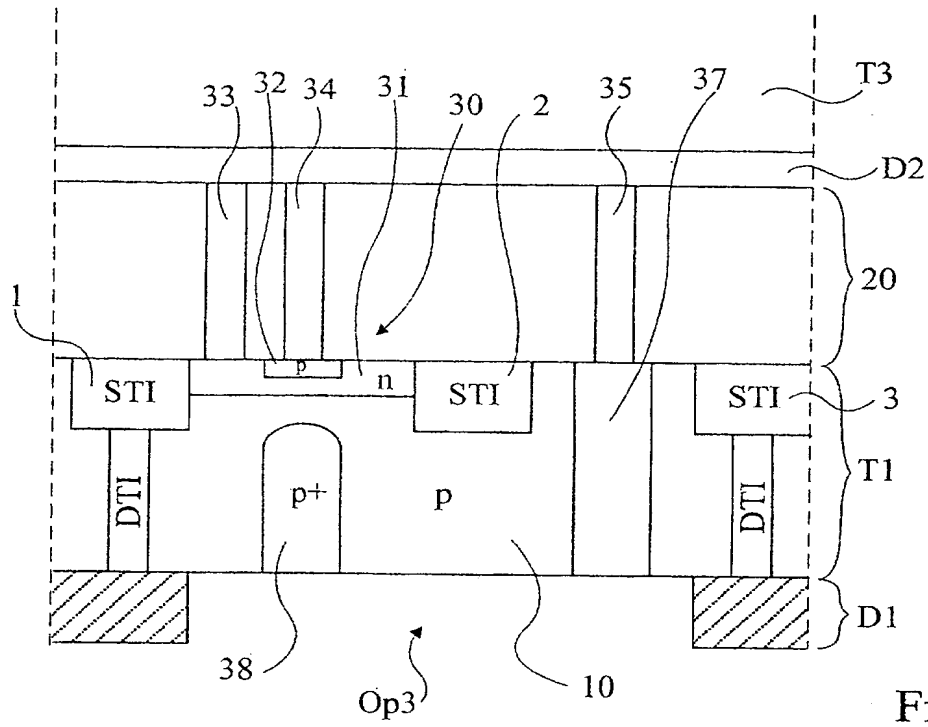


Fig 10

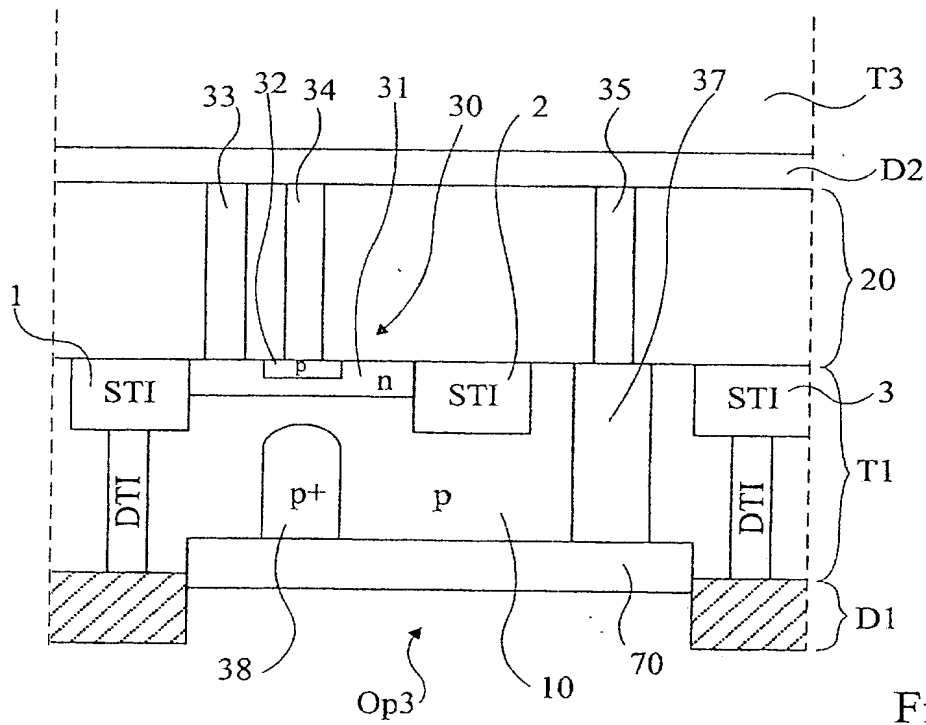
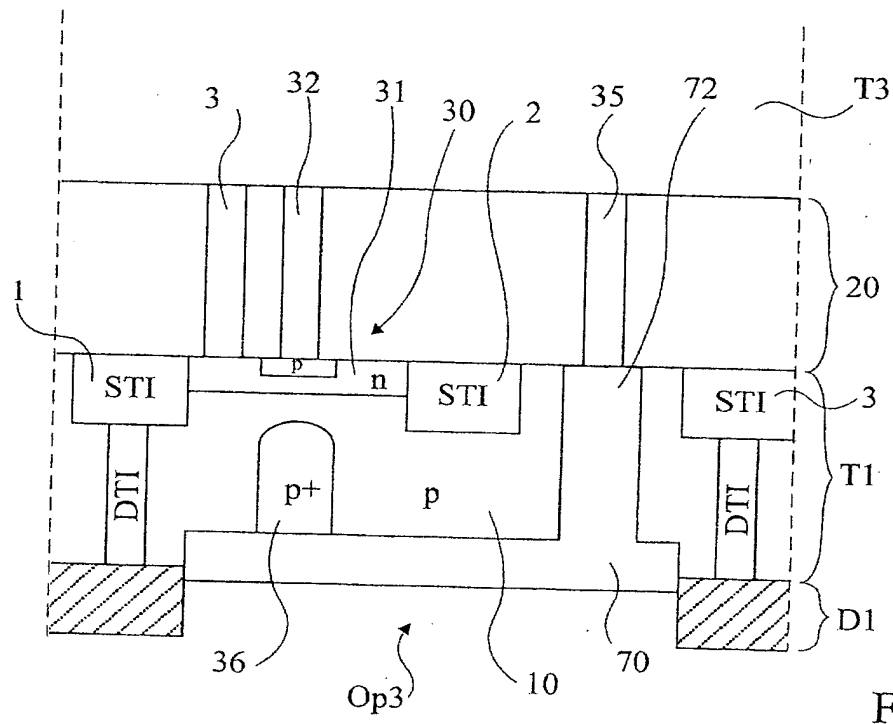
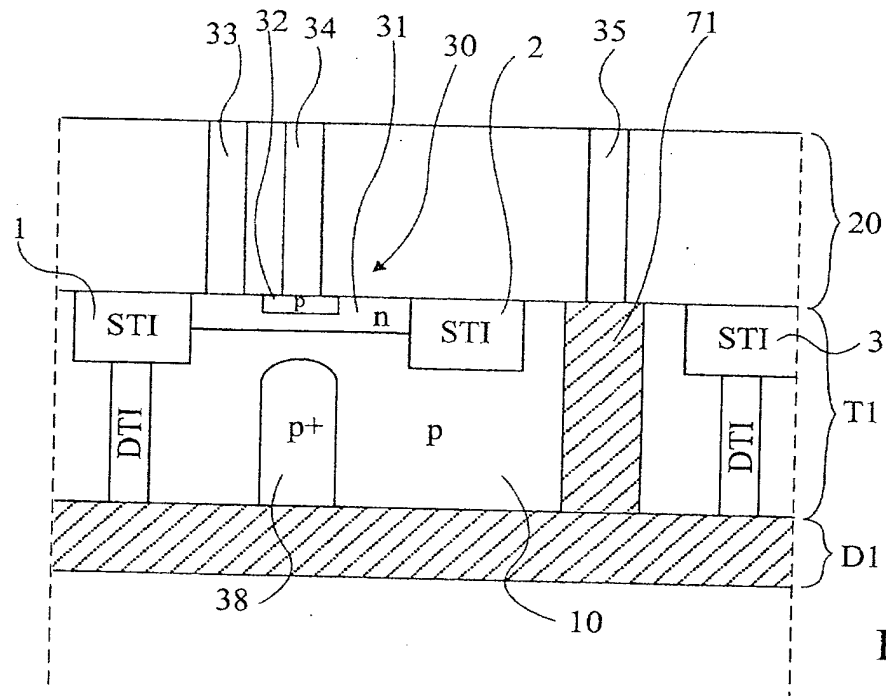


Fig 11





DÉPARTEMENT DES BREVETS  
26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08  
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

**BREVET D'INVENTION,  
CERTIFICAT D'UTILITÉ**  
Code de la propriété intellectuelle-Livre VI



**DÉSIGNATION D'INVENTEUR(S) PAGE N°1/ 1**  
(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

|   |                      |                             |                      |
|---|----------------------|-----------------------------|----------------------|
| Vos références pour ce dossier<br>(facultatif)  |                      | B5768                       |                      |
| N° D'ENREGISTREMENT NATIONAL  |                      | 02 158 37                   |                      |
| TITRE DE L'INVENTION (200 caractères ou espaces maximum)  |                      |                             |                      |
| CONNEXIONS ENTERRÉES DANS UN SUBSTRAT DE CIRCUIT INTÉGRÉ  |                      |                             |                      |
| LE(S) DEMANDEUR(S) :  |                      |                             |                      |
| STMicroelectronics SA   |                      |                             |                      |
| DESIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N°1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages). |                      |                             |                      |
| Prénoms & Nom   |                      | Michel Marty                |                      |
| ADRESSE   | Rue                  | Le Meinget                  |                      |
|   | Code postal et ville | 38760                       | SAINT-PAUL DE VARCES |
| Société d'appartenance (facultatif)   |                      |                             |                      |
| Prénoms & Nom   |                      | François Leverd             |                      |
| ADRESSE   | Rue                  | 546, Chemin de Pratel       |                      |
|   | Code postal et ville | 38330                       | SAINT ISMIER, FRANCE |
| Société d'appartenance (facultatif)   |                      |                             |                      |
| Prénoms & Nom   |                      | Philippe Coronel            |                      |
| ADRESSE   | Rue                  | 28, Lotissement Beauregard, |                      |
|   | Code postal et ville | 38530                       | BARRAUX, FRANCE      |
| Société d'appartenance (facultatif)   |                      |                             |                      |
| DATE ET SIGNATURE (S)<br>DU (DES) DEMANDEUR(S)<br>OU DU MANDATAIRE<br>(Nom et qualité du signataire)  |                      |                             |                      |
| Michel de Beaumont<br>Mandataire n° 92-1016<br>Le 11 décembre 2002  |                      |                             |                      |

**THIS PAGE BLANK (USPTO)**